

BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-241245

(43)Date of publication of application : 17.09.1996

(51)Int.Cl.

G06F 12/06

G06F 12/16

(21)Application number : 07-044499

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 03.03.1995

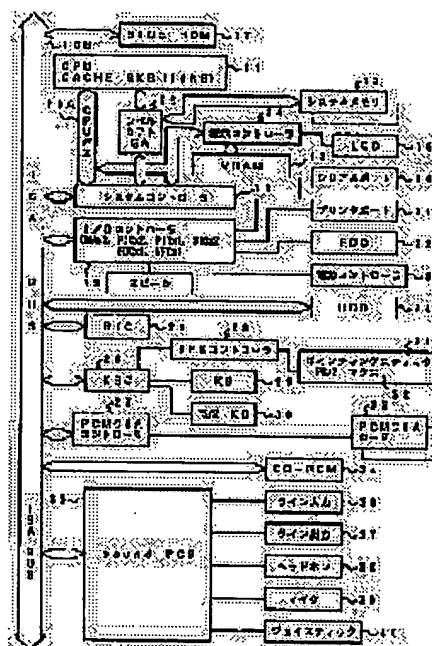
(72)Inventor : UEHARA KEIICHI

## (54) RAM CHIP DISCRIMINATION SYSTEM

(57)Abstract:

PURPOSE: To provide the RAM chip discrimination system which discriminates whether a RAM chip is set to each memory bank or not and discriminates the type of the set RAM chip.

CONSTITUTION: This RAM chip discrimination system for the computer system where an internal memory and an extended memory of a system memory 13 consist of plural memory banks which RAM chips different by types can be set to is provided with a means, which discriminates whether the RAM chip is set to each of memory banks constituting the system memory 13 or not and discriminates the type of the set RAM chip, and a means which recognizes the memory constitution of the system memory 13 based on discrimination results.



## LEGAL STATUS

[Date of request for examination]

02.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3447835

[Date of registration]

04.07.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-241245

(43) 公開日 平成8年(1996)9月17日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/06 12/16	5 1 0	7623-5B	G 0 6 F 12/06 12/16	5 1 0 C B

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号 特願平7-44499

(22) 出願日 平成7年(1995)3月3日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 上原 啓市

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

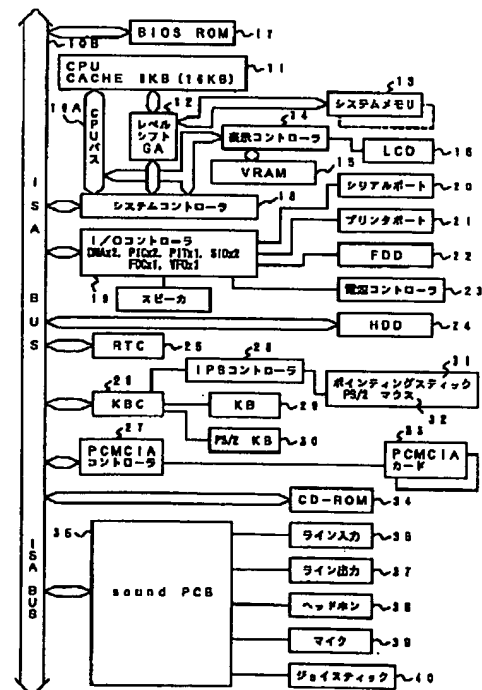
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 RAMチップ識別方式

(57) 【要約】

【目的】 メモリバンクそれぞれのRAMチップの装着有無及び装着されたRAMチップのタイプを判定可能なRAMチップ識別方式を提供する。

【構成】 システムメモリ13の内部メモリ及び増設メモリが複数のメモリバンクにより構成されるコンピュータシステムであって、これらのメモリバンクそれぞれに異なるタイプのRAMチップを装着可能なコンピュータシステムのRAMチップ識別方式において、システムメモリ13を構成するメモリバンクそれぞれのRAMチップの装着有無及び装着されたRAMチップのタイプを判定する手段と、この判定結果に基づいてシステムメモリ13のメモリ構成を認識する手段とを具備してなることを特徴とする。



## 【特許請求の範囲】

【請求項1】 内部メモリ及び増設メモリが複数のメモリバンクにより構成されるコンピュータシステムであって、これらのメモリバンクそれぞれに異なるタイプのRAMチップを装着可能なコンピュータシステムのRAMチップ識別方式において、

上記メモリバンクそれぞれのRAMチップの装着有無及び装着されたRAMチップのタイプを判定する手段と、この判定結果に基づいて上記内部メモリ及び増設メモリのメモリ構成を認識する手段とを具備してなることを特徴とするRAMチップ識別方式。

【請求項2】 上記判定手段は、装着されたRAMチップのローアドレスサイズ及びカラムアドレスサイズの少なくとも一方を検出する手段を含むことを特徴とする請求項1記載のRAMチップ識別方式。

【請求項3】 上記判定手段は、いずれのローアドレスサイズ又はカラムアドレスサイズを有するRAMチップにおいても書き込み可能な第1のアドレスに対して第1のデータの書き込みを実施し、この書き込み終了後に所定サイズ以上のローアドレスサイズ又はカラムアドレスサイズを有するRAMチップのみ書き込み可能で、かつ所定サイズのローアドレスサイズ又はカラムアドレスサイズを有しないRAMチップについては、上位アドレスの欠損によって上記第1のアドレスが指定されるような第2のアドレスに対して第2のデータの書き込みを実施し、上記第1及び第2のデータの書き込み終了後に上記第1のアドレスに保持されたデータを読み出して、その読み出されたデータの内容からRAMチップの装着有無及び装着されたRAMチップのローアドレスサイズ並びにカラムアドレスサイズの少なくとも一方を検出する手段を含むことを特徴とする請求項1記載のRAMチップ識別方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、例えば内部メモリ及び増設メモリが複数のメモリバンクにより構成されるコンピュータシステムであって、これらのメモリバンクそれぞれに異なるタイプのRAMチップを装着可能なコンピュータシステムに適用して好適なRAMチップ識別方式に係り、特にシステム立ち上げ時にメモリバンクそれぞれのRAMチップの装着有無及び装着されたRAMチップのタイプを判定することにより、内部メモリ及び増設メモリのメモリ構成を自動的に認識するRAMチップ識別方式に関する。

## 【0002】

【従来の技術】 近年、携帯が容易でバッテリーにより動作可能なノートブックタイプやラップトップタイプ等のパーソナルコンピュータが種々開発されている。そして、これらのパーソナルコンピュータのメインメモリとして、複数のRAMチップが使用されている。

【0003】 このメインメモリは、システムボード上に標準実装される内部メモリと、ユーザにより必要に応じて装着される増設メモリとからなり、内部メモリ及び増設メモリは、通常複数のメモリバンクにより構成されている。また、これらのメモリバンクに装着されるRAMチップは、構成、容量等を含む仕様の異なった複数のタイプが存在している。

【0004】 即ち、これらのメモリバンクそれぞれに、いずれのタイプのRAMチップを装着するかによって、内部メモリ及び増設メモリのメモリ構成を容易に設定することが可能となり、より多くの構成パターンをサポートできることになる。

## 【0005】

【発明が解決しようとする課題】 しかしながら、従来、メインメモリの容量を所望の大きさに設定するといったような場合には、所定のメモリバンクに所定の容量かつ構成のRAMチップを装着せざるを得ないことが少なくない。これは、システム側でいくつかの装着パターンを予め保持しており、このパターンに従ってメモリバンクに装着されるRAMチップのタイプを特定しているためである。

【0006】 即ち、構成、容量等を含む仕様の異なった複数タイプのRAMチップが存在するにも関わらず、システム側で動的に各メモリバンクに装着されるRAMチップのタイプを識別する手順を持たないために、システム側でも装着パターンの範囲内でのみしかメモリを構成できず、コンピュータシステムがサポートできるメモリの構成パターンが制限されてしまうといった問題があった。

【0007】 本発明は上記実情に鑑みなされたものであり、システム立ち上げ時にメモリバンクそれぞれのRAMチップの装着有無及び装着されたRAMチップのタイプを判定することによって内部メモリ及び増設メモリのメモリ構成を自動的に認識し、これによりコンピュータシステムがより多くの構成パターンをサポート可能とするRAMチップ識別方式を提供することを目的とする。

## 【0008】

【課題を解決するための手段】 本発明は、内部メモリ及び増設メモリが複数のメモリバンクにより構成されるコンピュータシステムであって、これらのメモリバンクそれぞれに異なるタイプのRAMチップを装着可能なコンピュータシステムのRAMチップ識別方式において、上記メモリバンクそれぞれのRAMチップの装着有無及び装着されたRAMチップのタイプを判定する手段と、この判定結果に基づいて上記内部メモリ及び増設メモリのメモリ構成を認識する手段とを具備してなることを特徴とする。

【0009】 また、本発明は、上記判定手段が、装着されたRAMチップのローアドレスサイズ及びカラムアドレスサイズの少なくとも一方を検出する手段を含むこと

を特徴とする。

【0010】また、本発明は、上記判定手段が、いずれのローアドレスサイズ又はカラムアドレスサイズを有するRAMチップにおいても書き込み可能な第1のアドレスに対して第1のデータの書き込みを実施し、この書き込み終了後に所定サイズ以上のローアドレスサイズ又はカラムアドレスサイズを有するRAMチップのみ書き込み可能で、かつ所定サイズのローアドレスサイズ又はカラムアドレスサイズを有しないRAMチップについては、上位アドレスの欠損によって上記第1のアドレスが指定されるような第2のアドレスに対して第2のデータの書き込みを実施し、上記第1及び第2のデータの書き込み終了後に上記第1のアドレスに保持されたデータを読み出して、その読み出されたデータの内容からRAMチップの装着有無及び装着されたRAMチップのローアドレスサイズ並びにカラムアドレスサイズの少なくとも一方を検出する手段を含むことを特徴とする。

【0011】

【作用】本発明の構成によれば、コンピュータシステムの立ち上げが行われたときに、内部メモリ及び増設メモリを構成する複数のメモリバンクそれぞれについて、RAMチップの装着有無及び装着されたRAMチップのタイプを判定し、これによりシステムメモリのメモリ構成を認識する。

【0012】即ち、例えばメモリバンクに異なるローアドレスサイズをもつRAMチップが装着される可能性がある場合、まず、いずれのローアドレスサイズを有するRAMチップにおいても書き込み可能な第1のアドレスに対して第1のデータの書き込みを行う。

【0013】次に、所定サイズ以上のローアドレスサイズをもつRAMチップのみ書き込み可能で、かつ、この所定サイズのローアドレスサイズをもたないRAMチップについては、上位アドレスの欠損によって先程書き込みを実施した第1のアドレスが指定されるような第2のアドレスに対して第2のデータの書き込みを行う。即ち、この場合は、所定サイズのローアドレスサイズをもつRAMチップを想定して第2のデータの書き込みを行う。

【0014】ここで、この第1のアドレスに保持されたデータを読み出して、その内容を検査してみると、RAMチップが装着されていない場合には、所定の値（例えばハイバリュウ）が確認される。また、所定サイズ以上のローアドレスサイズをもつRAMチップが装着されている場合には、最初に書き込んだ第1のデータが確認されることになる。

【0015】一方、所定サイズのローアドレスサイズをもたないRAMチップが装着されている場合には、第2のデータがさらに書き込まれているために、この第2のデータが確認されることになる。

【0016】また、メモリバンクに異なるカラムアドレ

スサイズをもつRAMチップが装着される可能性がある場合も、上述したローアドレスの場合と同様の手順で識別可能である。

【0017】即ち、ローアドレスサイズ及びカラムアドレスサイズの少なくとも一方が異なるRAMチップそれぞれについては、そのタイプを判定することができることとなり、これによりシステムメモリのメモリ構成を認識できることとなる。

【0018】

10 【実施例】以下、図面を参照してこの発明の一実施例を説明する。図1には、この発明の一実施例に係るパーソナルコンピュータのシステム構成が示されている。このパーソナルコンピュータは、ラップトップ又はノートブックタイプのシステムであり、図示のように、CPUローカルバス（プロセッサバス）10A、ISA仕様のシステムバス10B、CPU11、レベルシフト用ゲートアレイ12、システムメモリ13、表示コントローラ14、ビデオメモリ（VRAM）15、およびLCDなどのフラットパネルディスプレイ16を備えている。

20 【0019】CPU11は、システム全体の制御を司るためのものであり、システムメモリ13に格納された処理対象のプログラムを実行する。CPU11としては、3.3V/5V動作可能なもの、例えば、米インテル社により製造販売されているマイクロプロセッサSL Enhanced Intel 486などが使用されており、そのCPU11には後述の電源コントローラ23によって3.3Vの電源電圧が供給されている。このCPU11のローカルバス10Aには、32ビット幅のデータバス、32ビット幅のアドレスバス、および各種ステータス信号線などが定義されている。

30 【0020】システムメモリ13は、オペレーティングシステム、処理対象のアプリケーションプログラム、およびアプリケーションプログラムによって作成されたユーザデータ等を格納する。このシステムメモリ13は、複数のメモリバンクから構成される内部メモリ及び増設メモリからなっており、これらのメモリバンクにはいずれかのタイプのRAMチップが選択装着されている。このシステムメモリ13のメモリ構成の識別が本発明の特徴とするところであり、これについては、図2以降を参照して詳述する。

40 【0021】レベルシフト用ゲートアレイ12は、CPUローカルバス10A内に定義された32ビットデータバスとシステムメモリ13との間に接続されており、その間を転送するデータ信号の電圧レベルを3.3Vから5V、または5Vから3.3Vに変換する。データ信号の電圧レベル変換は、レベルシフト用ゲートアレイ12内のバッファ回路によって実行される。また、CPUバスサイクルとシステムメモリ13のリードアクセスサイクルとの非同期実行を可能にするために、バッファ回路  
50 にはシステムメモリ13からのリードデータをラッチす

るデータラッチ機能が設けられている。

【0022】表示コントローラ14は、STNモノクロ、STNカラー、またはTFTカラーLCDパネルなどから構成されるフラットパネルディスプレイ16を表示制御するためのものであり、CPUローカルバス10Aを介してCPU11から表示データを受け取り、それをビデオメモリ(VRAM)15に書き込む。

【0023】システムバス10Bには、BIOS ROM17、システムコントローラ18、およびI/Oコントローラ19が接続されている。BIOS ROM17は、システムBIOS(Basic I/O System)を格納するためのものであり、プログラム書き換えが可能のようにフラッシュメモリによって構成されている。システムBIOSには、電源投入時に実行されるIRTLーチン、各種I/Oデバイスを制御するためのデバイスドライバ、システム管理プログラム、およびセットアッププログラムなどが含まれている。

【0024】システムコントローラ18は、CPUローカルバス10Aとシステムバス10B間を接続するブリッジ装置、およびシステム内の各種メモリを制御するメモリ制御ロジック等から構成されている。

【0025】I/Oコントローラ19は、シリアルポート20に接続されるI/O機器等の制御、およびパラレルポート(プリンタポート)21に接続されるプリンタ/外部FDD等の制御、および3.5インチの内蔵FDD22の制御を行なう。また、このI/Oコントローラ19には、直接メモリアクセス制御のためのDMAコントローラが2個、割り込みコントローラ(PIC; Programmable Interrupt Controller)が2個、システムタイマ(PIT; Programmable Interval Timer)が1個、シリアルI/Oコントローラ(SIO; Serial Input/Output Controller)が2個、フロッピーディスクコントローラ(FDC)が1個内蔵されている。

【0026】さらに、I/Oコントローラ19には、電源コントローラ(PSC)23とCPU11との通信のために利用されるI/Oレジスタ群、およびパラレルポート21の環境設定のためのI/Oレジスタ群なども設けられている。

【0027】システムバス10Bには、さらに、内蔵HDD24、リアルタイムクロック(RTC)25、キーボードコントローラ(KBC)26、PCMCIAコントローラ27、CD-ROM34、およびサウンドカード35が接続されている。

【0028】リアルタイムクロック(RTC)25は、独自の動作用電池を持つ時計モジュールであり、その電池から常時電源が供給されるCMOS構成のスタティックRAM(CMOSメモリと称する)を有している。このCMOSメモリは、システム動作環境を示す環境設定情報の保存等に利用される。

【0029】キーボードコントローラ(KBC)26は、コンピュータ本体に組み込まれている内蔵キーボード29を制御するためのものであり、内蔵キーボード29のキーマトリクスをスキャンして押下キーに対応する信号を受けとり、それを所定のキーコード(スキャンコード)に変換する。

【0030】また、キーボードコントローラ26は、オプション接続される外部キーボード30を制御する機能、および専用プロセッサ(IPSコントローラ)28を用いてポインティングスティック31、およびマウス32を制御する機能を有している。ポインティングスティック31は、内蔵キーボード29のキーボードユニットと一体化されて設けられている。

【0031】PCMCIAコントローラ27は、オプション装着されるJEIDA/PCMCIA仕様のPCカード33のアクセス制御を行う。サウンドカード25はPCM音源、および音声信号のデジタル信号処理回路などを備えており、このサウンドカード25にはライン入力端子36、ライン出力端子37、ヘッドホン端子38、マイク端子39、およびジョイスティック端子40が接続されている。

【0032】いま、同実施例に係るパーソナルコンピュータのシステムメモリ13のメモリ構成として、図2に示すようにc~Edの10タイプを想定し、かつ各メモリバンク(図2にはロウアドレスストロブ信号線(RAS0~RAS5)により示されている)に装着されるRAMチップのタイプは、図3に示す(1)~(3)の3タイプの中のいずれかであると想定する。

【0033】即ち、(1)~(3)のRAMチップは、ローアドレスサイズ及びカラムアドレスサイズの少なくとも一方が異なるものということになる。ここで、図4及び図5を参照して同実施例の動作手順及び動作原理を説明する。

【0034】このRAMチップ識別処理は、システムの立ち上げ時等に実施されるものであり、まず検査対象のメモリバンク(RASn)をイネーブルにし、アクセス可能な状態とする(図4のステップS1)。

【0035】次に、アドレス"00000000H"に"5A5A5A5AH"を書き込み(図4のステップS2)、引き続きアドレス"00000400H"に"A5A5A5A5H"を書き込む(図4のステップS3)。なお、これらの書き込みは、カラムアドレスサイズが9であるRAMチップを想定して行われる。

【0036】同実施例のコンピュータシステムは、ダブルワードアクセスを想定しているため、RAMチップのタイプ(1)~(3)それぞれのローアドレス及びカラムアドレスの配置は図5に示すようになる。従って、アドレス"00000400H"への書き込みの際、タイプ(3)のRAMチップでは先頭の1ビットが欠損することになり、結果としてアドレス"00000000H"に書き込むことと

なる。

【0037】ここで、アドレス“00000000H”に保持されたデータを読み出して（図4のステップS4）、その内容を検査する（図4のステップS5）。このメモリバンクにRAMチップが装着されていない場合には、“FFFFF”が確認されることになり、その結果、このメモリバンクにはいずれのタイプのRAMチップも装着されていないことが判明する（図4のステップS6）。

【0038】また、“A5A5A5AH”が確認された場合には、アドレス“00000400H”への書き込みの際、先頭1ビットが欠損したことを示しており、その結果、このメモリバンクにはタイプ（3）のRAMチップが装着されていることが判明する（図4のステップS7）。

【0039】一方、“5A5A5A5AH”が確認された場合には、アドレス“00000400H”への書き込みの際、先頭1ビットの欠損が発生しなかったことを示しており、この結果、タイプ（1）又はタイプ（2）のいずれかのRAMチップが装着されていることが判明し、検査を継続する。

【0040】即ち、今度はアドレス“00000000H”に“5A5A5A5AH”を書き込み（図4のステップS8）、引き続いてアドレス“00400000H”に“A5A5A5AH”を書き込む（図4のステップS9）。なお、これらの書き込みは、カラムアドレスが10であり、かつローアドレスサイズが11であるRAMチップを想定して行われる。

【0041】図5と同様に、RAMチップのタイプ（1）～（3）それぞれのローアドレス及びカラムアドレスの配置は図6に示すようになり、従って、アドレス“00400000H”への書き込みの際、タイプ（1）のRAMチップでは先頭の1ビットが欠損することになり、結果としてアドレス“00000000H”に書き込むこととなる。

【0042】ここで、アドレス“00000000H”に保持されたデータを読み出して（図4のステップS10）、その内容を検査する（図4のステップS11）。このとき、“A5A5A5AH”が確認された場合には、アドレス“00400000H”への書き込みの際、先頭1ビットが欠損したことを示しており、その結果、このメモリバンクにはタイプ（1）のRAMチップが装着されていることが判明する（図4のステップS12）。

【0043】一方、“5A5A5A5AH”が確認された場合には、アドレス“00400000H”への書き込みの際、先頭1ビ

ットの欠損が発生しなかったことを示しており、この結果、タイプ（2）のRAMチップが装着されていることが判明する（図4のステップS13）。

【0044】これにより、検査対象のメモリバンクのRAMチップの装着有無と、装着されたRAMチップのタイプとが識別されることになる。また、このRAMチップ識別処理は、すべてのメモリバンクについて行われ（図4のステップS14）、この結果、このコンピュータシステムのシステムメモリ13のメモリ構成が、図2に示す構成の中のいずれの構成であるのかを判別できることになる。

【0045】以上のように、同実施例のシステムにおいては、システムメモリ13のメモリ構成を決め打ちで特定するようなことなしに動的に判別可能となり、より多くの構成パターンをサポートできることになる。

【0046】

【発明の効果】以上詳記したように本発明によれば、内部メモリ及び増設メモリを構成する複数のメモリバンクそれぞれのRAMチップの装着有無及び装着されたRAMチップのタイプが判定可能となり、内部メモリ及び増設メモリのメモリ構成を自動的に認識することができることになる。従って、コンピュータシステムは、より多くのシステムメモリの構成パターンをサポートできることになる。

【図面の簡単な説明】

【図1】本発明の実施例に係るパーソナルコンピュータのシステム構成を示す図。

【図2】同実施例に係るパーソナルコンピュータに想定されるシステムメモリの構成パターンを示す図。

【図3】同実施例に係るパーソナルコンピュータの各メモリバンクに装着されるRAMチップの構成パターンを示す図。

【図4】同実施例に係るパーソナルコンピュータの動作手順を説明するためのフローチャート。

【図5】同実施例に係るパーソナルコンピュータの動作原理を説明するための概念図。

【図6】同実施例に係るパーソナルコンピュータの動作原理を説明するための概念図。

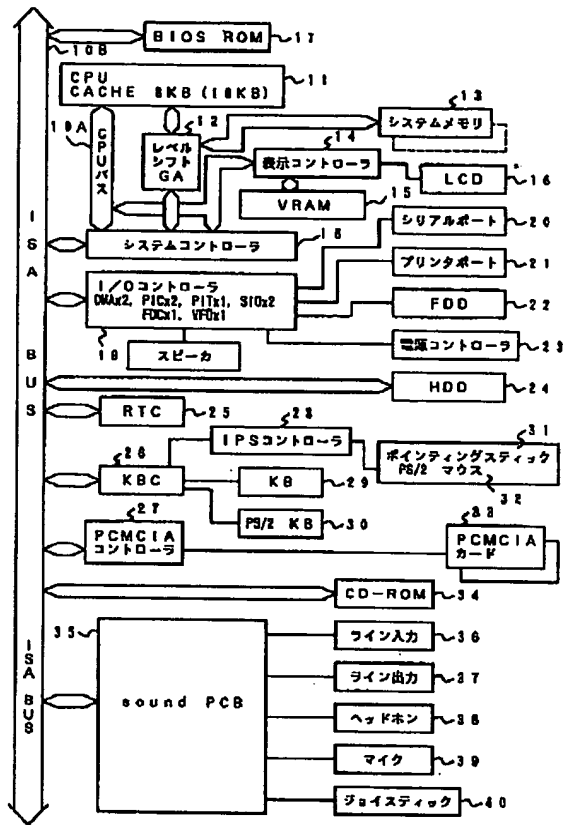
【符号の説明】

11…CPU、13…システムメモリ、25…RTC。

【図3】

構成の種類	容量	ローアドレス	カラムアドレス
(1) 1Mx4タイプの4MBRAMを8個	4MB	10	10
(2) 2Mx8タイプの1GBRAMを4個	8MB	11	10
(3) 1Mx16タイプの1GBRAMを2個	4MB	12	8

【図 1】

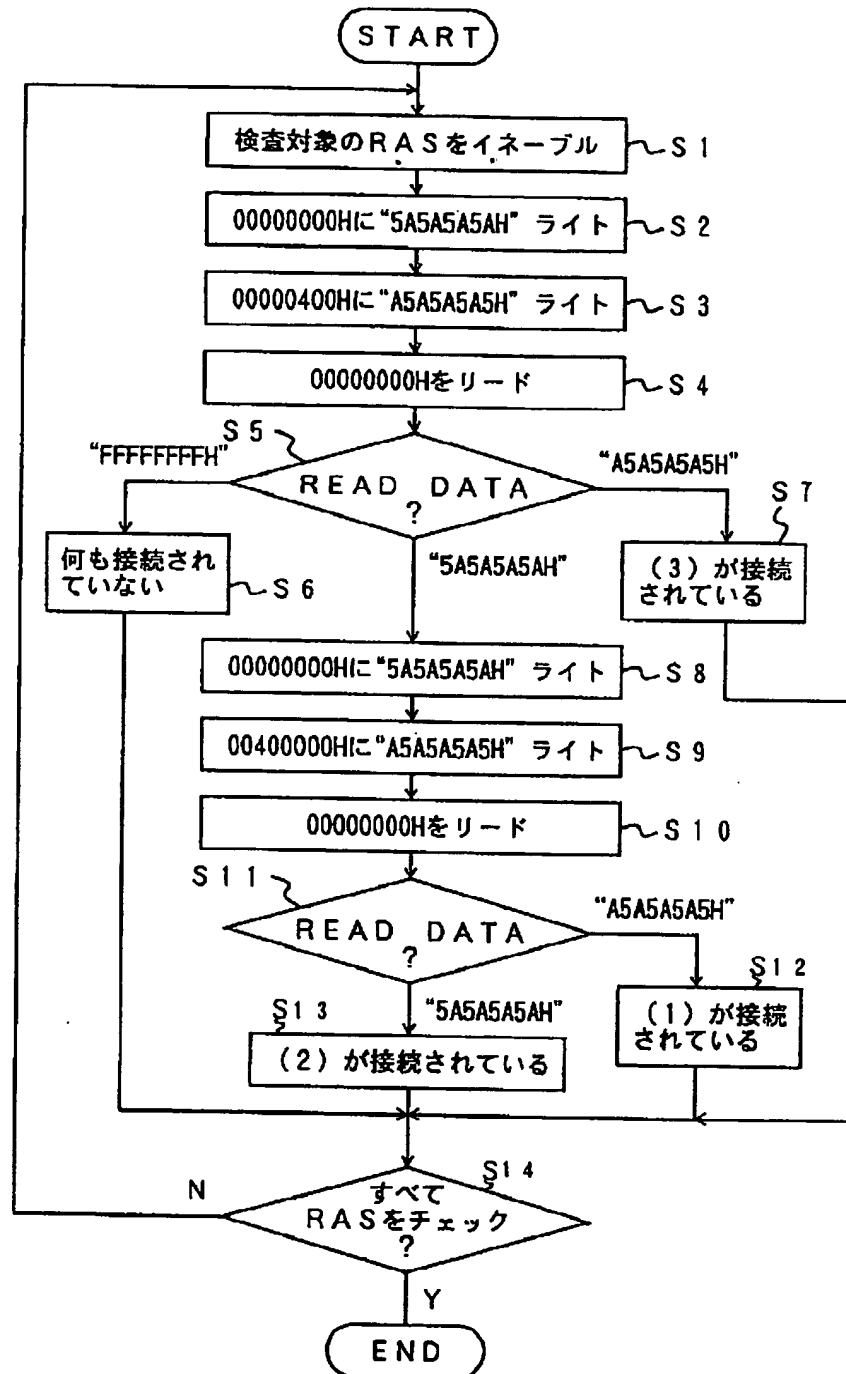


【図 2】

構成		c	d	Ac	Ad	Bc	Bd	Cc	Cd	Ec	Ed
システム・ボード	RAS0	1Mx16 x 2	1Mx16 x 2	1Mx16 x 2	1Mx16 x 2	1Mx16 x 2	1Mx16 x 2	1Mx16 x 2	1Mx16 x 2	1Mx16 x 2	1Mx16 x 2
	RAS1		1Mx16 x 2		1Mx16 x 2		1Mx16 x 2		1Mx16 x 2		1Mx16 x 2
容量		4MB	8MB	4MB	8MB	4MB	8MB	4MB	8MB	4MB	8MB
SIMM	RAS2			1Mx4 x 4	1Mx4 x 4	1Mx4 x 4	1Mx4 x 4	2Mx8 x 2	2Mx8 x 2	1Mx16 x 2	1Mx16 x 2
	RAS3			1Mx4 x 4	1Mx4 x 4	1Mx4 x 4	1Mx4 x 4	2Mx8 x 2	2Mx8 x 2	1Mx16 x 2	1Mx16 x 2
	RAS4					1Mx4 x 4	1Mx4 x 4	2Mx8 x 2	2Mx8 x 2	1Mx16 x 2	1Mx16 x 2
	RAS5					1Mx4 x 4	1Mx4 x 4	2Mx8 x 2	2Mx8 x 2	1Mx16 x 2	1Mx16 x 2
容量				4MB	4MB	8MB	8MB	16MB	16MB	16MB	16MB
トータル容量		4MB	8MB	8MB	12MB	12MB	16MB	20MB	24MB	20MB	24MB



【図 4】



[illegible]

アドレス (H)	0				0				4				0				0				0				0				0			
	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
カラム アドレス (H)																	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1						
ロー アドレス (H)									A10	A9	A8	A7	A6	A5	A4	A3	A2	A1														
カラム アドレス (L)																	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1						
ロー アドレス (L)									A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1													
カラム アドレス (S)																					A8	A7	A6	A5	A4	A3	A2	A1				
ロー アドレス (S)									A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1												

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**